

日本国特許庁
JAPAN PATENT OFFICE

PCT

PCT/JP03/14731

REC'D 11 DEC 2003

WIPO

PCT

19.11.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年11月20日

出願番号
Application Number: 特願2002-335855
[ST. 10/C]: [JP2002-335855]

出願人
Applicant(s): 日本電気株式会社

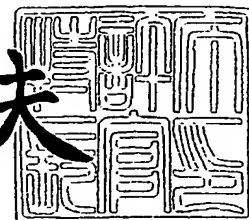
PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

2003年 9月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 34601810

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 23/50

【発明の名称】 半導体パッケージ及び積層型半導体パッケージ

【請求項の数】 6

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 栢山 一郎

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 曾川 禎道

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 山崎 隆雄

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 北城 栄

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3539-5651

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体パッケージ及び積層型半導体パッケージ

【特許請求の範囲】

【請求項 1】 回路面上に 1 又は複数の電極が形成された半導体デバイスと、配線パターンの片面又は両面に熱可塑性の絶縁層を有する可撓性基板とを有し、前記可撓性基板に設けられた電極が前記半導体デバイスの所定の電極に接続されると共に前記熱可塑性絶縁層により封止され、前記可撓性基板が折り曲げられて、前記電極の形成面とその他の面に電極を設けることを可能にする半導体パッケージにおいて、前記可撓性基板には少なくとも 2 層以上の回路パターンが形成されていることを特徴とする半導体パッケージ。

【請求項 2】 前記可撓性基板の折り曲げ部又は折り曲げ部を含む領域に、溝又は配線層数が少ない部位が形成されていることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 3】 前記可撓性基板にキャビティが形成され、前記キャビティ部に前記半導体デバイスが収容されることを特徴とする請求項 1 又は 2 に記載の半導体パッケージ。

【請求項 4】 回路面上に 1 又は複数の電極が形成された半導体デバイスと、配線パターンの片面又は両面に熱可塑性の絶縁材料を有する可撓性基板からなり、前記可撓性基板に設けられた電極が前記半導体デバイスの所定の電極に接続されると共に前記熱可塑性の絶縁材料により封止され、かつ、前記可撓性基板が折り曲げられて、前記電極の形成面とその他の面に電極を設けることを可能にする半導体パッケージにおいて、折り曲げられた可撓性基板同士が直接接着される部位を含むことを特徴とする半導体パッケージ。

【請求項 5】 前記可撓性基板が折り曲げられ、直接接着されることによって生じる凹部に半導体デバイスを収容することを特徴とする請求項 4 に記載の半導体パッケージ。

【請求項 6】 前記請求項 1 乃至 5 のいずれか 1 項に記載の半導体パッケージが、複数個、前記電極を介して電氣的に接続されると共に、3 次元的に積層されていることを特徴とする積層型半導体パッケージ。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、薄型の半導体パッケージ及び3次元的に積層された半導体パッケージに関し、特に、半導体デバイスの入出力端子数に依存せずにパッケージ化を容易にすることを可能にするパッケージ構造を改良した半導体パッケージ及び積層型半導体パッケージに関する。

【0002】**【従来の技術】**

図22乃至25は、特開平8-335663号公報（特許文献1）に記載された従来の半導体パッケージを示す断面図である。図22に示す半導体装置は、配線パターン505の両面に絶縁フィルム510が積層されたインターポーザー基板502の電極パッド504と半導体チップ501の電極とを、導電体503で接続した後、インターポーザー基板502と半導体チップ501との間に絶縁樹脂509を挿入し、更に、インターポーザー基板502を半導体チップ501の側面から裏面まで折り曲げて、半導体チップ501の裏面でチップ表面が露出した領域に絶縁樹脂509を塗布することにより、インターポーザー基板502を半導体チップ501に接着させている。これにより、半導体チップ501からなるベアチップとほぼ同じサイズの小型半導体パッケージが得られる。この半導体装置では、インターポーザー基板502と半導体チップ501の表面とを、接着剤の役割を果たす絶縁樹脂509で接着している。

【0003】

また、図23は、図22に示す半導体装置を、はんだバンプ507を接続材料として積層したものであり、この図21に示す半導体装置は、ベアチップとほぼ同じサイズの小型3次元半導体装置である。

【0004】

また、図24はこの3次元半導体装置を、マザーボード基板511上に実装した状態を示す断面図である。

【0005】

更に、図 25 はこのマザーボード基板 511 上に実装された 3 次元半導体装置のマザーボード基板 511 と最下段の半導体装置とを接続するはんだバンプ 507 の周囲にアンダーフィル樹脂 508 を充填したものである。

【0006】

図 26 乃至 29 は、特開 2001-196504 号公報（特許文献 2）に記載された従来の他の半導体装置を示す断面図である。この半導体装置は、配線パターン 505 の両面に熱可塑性絶縁樹脂 512 が被着されたフレキシブルインターポーザ基板（可撓性基板）506 の電極パッド 504 と、半導体チップ 501 の電極とを、導電体 503 によって接続した後、加熱しながらフレキシブルインターポーザ基板（可撓性基板）506 を折り曲げ、半導体チップの側面及び裏面に接着させ、ベアチップとほぼ同じサイズの小型半導体パッケージとしたものである。

【0007】

この半導体装置が図 22 に示す半導体装置と大きく異なるところは、インターポーザ基板の絶縁体に熱可塑性樹脂を使用している点にある。インターポーザ基板 506 自体が接着性を有していると共に、加熱すると弾性係数が小さくなるため、基板を折り曲げてチップと接着させるプロセスが図 22 に示す半導体装置よりも容易であるところである。

【0008】

また、図 27 は、図 26 に示す半導体装置を、はんだバンプ 507 で積層実装したもので、ベアチップとほぼ同じサイズの小型 3 次元半導体装置を示す。

【0009】

図 28 はこの 3 次元半導体装置をマザーボード基板 511 上に実装した状態を示し、図 29 は最下段の半導体パッケージとマザーボード基板 511 との間に絶縁性樹脂 509 を充填した状態を示す。

【0010】

図 22 に示す半導体パッケージは、薄いインターポーザ基板 502 を使用することにより、半導体デバイスとほぼ同じ外形寸法の半導体パッケージを形成することが可能である。パッケージサイズを小さくすることは、実装密度を向上さ

せる上では有効な手段であり、本パッケージ構造は小型パッケージを形成する有効な手段の一つといえる。

【0011】

更に、本パッケージの表裏面には電極パッド504を形成することが可能であり、図20に示すように、アウターバンプ1a、1bを形成することで、図21に示すように、マザーボード基板7に対して平面的にばかりではなく、パッケージ同士を積み重ねて実装する3次元実装が可能となる。同一の半導体デバイスをパッケージ化する場合には、図27に示すような実装構造をとることで、高密度実装が可能になる。

【0012】

【特許文献1】

特開平8-335663号公報

【特許文献2】

特開2001-196504号公報

【0013】

【発明が解決しようとする課題】

平面的な実装面積も小さくすることが可能であり、3次元実装化することで更に高密度実装化することも可能なパッケージ構造であるが、制約事項もある。前述したように同一の半導体デバイス又は同一の外形寸法をもつ半導体デバイス同士であれば、図27に示すような3次元実装構造を形成することが可能であるが、異なる外形寸法をもつ半導体デバイスを3次元実装するには、図21に示すように最下段の半導体パッケージ301dに対して上段の半導体パッケージ301a、301b、301cを同一寸法か、又は小さくすることが望まれる。これは半導体デバイスの積層できる順番に関して制約が発生するということになる。パッケージ間の接続を担うアウターバンプ1aをパッケージ中央部に配置することでパッケージ寸法による積層順位の自由度を増すことは可能であるが、実装安定性の確保を考慮すると望ましくない。また、下位にくる半導体パッケージの寸法内に上位の半導体パッケージのアウターバンプの配置が不可能な場合も考えられる。半導体デバイスの出入力端子数の増加は著しく、下位の半導体パッケージが

小さい場合には、上位の半導体デバイスの電極パッドを接続可能なエリアに配置することが困難な場合がある。また、可能であっても、非常に微細な配線の引き回しが必要になり、結果的に非常に高価な半導体パッケージとなってしまい、好ましくない。この引き回しの問題は、下位の半導体パッケージの寸法が上位の半導体パッケージの寸法を下回る場合以外にも発生する。半導体デバイスの入出力端子数が極めて大きい場合には、これをパッケージレベルで実装するのに十分な配線密度に再配線した場合、再配置された電極パッドを半導体デバイスの面積内に収めることが困難な場合が発生する。これは再配線を担うインターポーザー基板の設計ルールに影響する問題でもあり、無理な設計を行った場合は、製造コストに大きく影響し好ましくない。

【0014】

このような課題を解決する方法として、パッケージサイズを半導体デバイスよりも大きくすることが考えられる。これは、パッケージサイズを半導体デバイスとほぼ同じ大きさにすることが可能であるという特徴に反するようであるが、図20に示すパッケージ構造の特徴は、パッケージの厚さを薄くすることが可能という点にもあり、必要最小限にパッケージ面積を大きくして、薄型パッケージを3次元実装することは、高密度実装の有効な手段の一つといえる。

【0015】

また、半導体デバイスは製造コストを低減させる手段として、外形寸法を小さくしてウェハ当たりの取り数を増大させる手法を採る。このような設計変更が行われた場合、図20及び図21に示した半導体パッケージでは、半導体パッケージ301a、301b、301c、301dの夫々に設計した可撓性基板101を設計変更する必要がある。また、一部の半導体デバイスに変更が生じた場合でも、その上位又は下位にある半導体パッケージに使用される可撓性基板の設計を変更する必要がある。

【0016】

このような課題を解決する方法としても、パッケージサイズを半導体デバイスに依存せず、一定のパッケージサイズに統一する、電極パッド位置を一定にするなどのパッケージサイズの標準化が望まれ、このためにもパッケージサイズを半

導体デバイスよりも大きくする構造が望まれる。

【0017】

また、半導体デバイスの入出力端子数が非常に大きい場合であって、これをパッケージレベルで実装するのに十分な配線密度に再配線した場合、再配線された電極パッドは半導体デバイスの面積内に収めることが可能であるが、再配線を単層で行うことが困難な場合もある。従来、配線パターンの両面に絶縁フィルムを張り合わせてなる可撓性基板は、配線部に関しては単層で形成されている。配線密度が低い場合は、単層での引きまわしは可能であるが配線密度が増加し、入出力端子を格子状に配置し、かつ、その格子状の配置の1篇の配置数が増大した場合、その配列には引き回しの可否が生じる。このため、配列に制約が生じる。このような課題を解決する方法として、使用する可撓性基板に設計の自由度を増加させる工夫が必要となる。

【0018】

本発明はかかる問題点に鑑みてなされたものであって、半導体パッケージの外形状及び再配線の設計自由度を半導体デバイスに依存しないものとし、3次元実装化を容易にする半導体パッケージ及び3次元積層型半導体パッケージを提供することを目的とする。

【0019】

【課題を解決するための手段】

本発明に係る半導体パッケージは、回路面上に1又は複数の電極が形成された半導体デバイスと、配線パターンの片面又は両面に熱可塑性の絶縁層を有する可撓性基板とを有し、前記可撓性基板に設けられた電極が前記半導体デバイスの所定の電極に接続されると共に前記熱可塑性絶縁層により封止され、前記可撓性基板が折り曲げられて、前記電極の形成面とその他の面に電極を設けることを可能にする半導体パッケージにおいて、前記可撓性基板には少なくとも2層以上の回路パターンが形成されていることを特徴とする。

【0020】

この半導体パッケージにおいて、前記可撓性基板の折り曲げ部又は折り曲げ部を含む領域に、溝又は配線層数が少ない部位を形成することが好ましい。また、

前記可撓性基板にキャビティが形成され、前記キャビティ部に前記半導体デバイスが收容されるように構成することができる。

【0021】

本発明に係る他の半導体パッケージは、回路面上に1又は複数の電極が形成された半導体デバイスと、配線パターンの片面又は両面に熱可塑性の絶縁材料を有する可撓性基板からなり、前記可撓性基板に設けられた電極が前記半導体デバイスの所定の電極に接続されると共に前記熱可塑性の絶縁材料により封止され、かつ、前記可撓性基板が折り曲げられて、前記電極の形成面とその他の面に電極を設けることを可能にする半導体パッケージにおいて、折り曲げられた可撓性基板同士が直接接着される部位を含むことを特徴とする。

【0022】

この半導体パッケージにおいて、前記可撓性基板が折り曲げられ、直接接着されることによって生じる凹部に半導体デバイスを收容することができる。

【0023】

また、本発明に係る積層型半導体パッケージは、請求項1乃至5のいずれか1項に記載の半導体パッケージが、複数個、前記電極を介して電氣的に接続されると共に、3次元的に積層されていることを特徴とする。

【0024】

本発明においては、上記課題を解決するために、半導体パッケージに使用する可撓性基板に少なくとも2層以上の配線パターンが形成された可撓性基板を使用する。また、2層以上の配線パターンが形成された可撓性基板を使用した場合に、この可撓性基板を半導体デバイスの外形に沿って折り曲げた構造にするために、折り曲げを容易にするために、この折り曲げ部に溝を形成するか、又は配線層数を小さくして薄層部を形成する。

【0025】

また、可撓性基板に複数の配線層を導入することによる可撓性基板の厚さの増加、即ち半導体パッケージの厚さの増加を低減する手段として、可撓性基板にキャビティを形成する構造を導入する。

【0026】

また、半導体パッケージの外形寸法を自由に選定できるように、折り曲げられた可撓性基板同士が直接接着される構造を導入する。

【0027】

本発明の半導体パッケージによれば、外形寸法及び半導体パッケージ間の接続を担うアウターバンプの配置を自由に設計することが可能になり、外形寸法及び入出力端子数が異なる異種半導体デバイスをパッケージ化して3次元的に実装することが可能となる。

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して具体的に説明する。図1は本実施形態の半導体パッケージ301を示す断面図である。半導体チップ6の回路面上には、1又は複数の電極が形成されており、この半導体チップ6の周囲に可撓性基板101が配置されている。この可撓性基板101には、絶縁層5の表裏両面に、1対の配線3が形成されており、この配線3の外側に更に熱可塑性樹脂層4が被覆されている。なお、この可撓性基板101における外側に配置された熱可塑性樹脂層4の代わりに、絶縁層5と同様の通常の絶縁材料からなる絶縁層を配置しても良い。1対の配線3は絶縁層5に形成したビア9を介して適直接続されている。また、可撓性基板101の内側の配線3と半導体チップ6のインナーバンプ2とが接続されており、外側の配線3に形成した電極パッド8には、アウターバンプ1が接合されている。インナーバンプ2は熱可塑性の絶縁性樹脂からなる熱可塑性樹脂層4内に封止されている。可撓性基板101は、半導体チップ6の周囲に折り曲げられており、半導体チップ6の電極形成面に整合する面と、その他の面の所定位置に、電極が形成されている。可撓性基板101の配線3は、回路パターンを構成するものであるが、上記実施形態のように2層ではなく、3層以上の多層であってもよい。

【0029】

可撓性基板101と半導体チップ6とは、半導体チップ6の電極上に予め形成されたインナーバンプ2を介して接続される。この際、可撓性基板101の半導体チップ6と接する面には熱可塑性樹脂層4が形成されており、接続時に熱を印

加する方法により、接続と同時に接続部が熱可塑性樹脂により封止される。また、加熱しながら可撓性基板 101 を半導体チップ 6 に沿って折り曲げることにより、半導体パッケージ 301 を容易に形成することができる。

【0030】

次に、可撓性基板 101 の形成方法について説明する。この可撓性基板 101 は、折り曲げ部分又は折り曲げ部分を含む領域が、溝又は配線層数が少ない薄層部 102 となっている点が図 1 に示す可撓性基板と異なる。可撓性基板 101 は、図 2 に示すように、絶縁樹脂シート 14 と金属箔 10 とを張り合わせた後、図 3 に示すように、金属箔 10 をエッチングして、配線パターン 11、アウターパッド 12 及びインナーパッド 13 を形成し、これらを複数枚張り合わせるにより形成される。インナーパッド 13 及びアウターパッド 12 に整合する位置の絶縁性樹脂シート 14 に設ける開口部は、予め絶縁性樹脂シート 14 に加工しておくか、又は絶縁樹脂シート 14 と金属箔 10 とを張り合わせた後に加工する。加工方法としては、エッチング、レーザ加工、又はパンチング（打ち抜き加工）等の機械加工があり、更に、絶縁性樹脂シート 14 に感光性樹脂を使用すれば、この感光性樹脂をフォトリソグラフィ技術で加工することにより開口部を形成することもできる。しかし、加工精度及び加工コストの点から、レーザ加工により開口部を形成することが望ましい。

【0031】

可撓性基板 101 に形成される配線が単層である場合、薄い熱可塑性樹脂層と配線層となる金属箔、及び薄い絶縁樹脂層又は薄い熱可塑性樹脂層で可撓性基板は構成されるため、加熱して折り曲げるにより容易に折り曲げと接着が可能である。配線層となる金属箔としては、銅、金、アルミニウム等の金属を用いることが可能であり、このほか、導電体であればいずれの金属でも良いが、導電率が高く、加工性に優れ、かつ安価である銅が好適である。また、その厚さは数百 μm のオーダーでの加工が可能であるが、 $38\mu\text{m}$ 、 $18\mu\text{m}$ 、 $10\mu\text{m}$ 又は $5\mu\text{m}$ という厚さでの加工の方が折り曲げ易く、組立後の半導体パッケージの厚さを薄くすることができ、好適である。また、熱可塑性樹脂及び絶縁樹脂層の厚さは、百数十 μm のオーダーでの加工が可能であるが、 $50\mu\text{m}$ 以下の厚さにする

ほうが折り曲げ易く、組立後の半導体パッケージの厚さを薄くできて好適である。25 μm 以下、更には10 μm 以下の厚さにすると、パッケージの薄型化の点で好適である。熱可塑性樹脂としては、ポリイミド、ポリアミド、エポキシ樹脂、又はシリコン樹脂等の熱可塑性を有するものであれば良く、これらの複合体でも良い。耐熱性及び加工性などの点からポリイミドを主体とする樹脂であることが望ましい。

【0032】

可撓性基板101に多数の配線を形成する場合、折り曲げを容易にするために絶縁樹脂層に熱可塑性樹脂を使用し、絶縁樹脂層と金属箔層のいずれもできる限り薄くすることが望ましい。但し、可撓性基板の製造安定性の確保及び低コスト化の観点から、可撓性基板の折り曲げ部分又は折り曲げ部分を含む領域に、溝又は配線層数が異なる部位を形成する。即ち、折り曲げに寄与する部分を単層又はそれに近い形状にして折り曲げを容易にする。又は、再配線に必要な部分にのみ多層配線部分を用意し、折り曲げ部分を含むその他の部分を単層又はそれに近い形状にする。

【0033】

可撓性基板101は前述したように絶縁性樹脂シート14と金属箔10とを張り合わせて形成するが、配線パターン11等を形成した後の工程で、図4に示すように、予め打ち抜き部15を形成した絶縁性樹脂シート14を張り合わせることで、このような溝部を形成することが可能である。この溝を形成した後、図5に示すように、可撓性基板101を適当な切断部17で切断することにより折り曲げが容易な可撓性基板101を作製することができる。

【0034】

また、このような溝は適当な加工が施された配線3と熱可塑性樹脂層4又は絶縁樹脂層5との組み合わせにより、図6乃至図8に示すような構造を形成することが可能である。図6は上層の熱可塑性樹脂層4に溝102を形成し、図7は上層の熱可塑性樹脂層4と中間の絶縁樹脂層5に溝102を形成し、図8は上層の熱可塑性樹脂層4と下層の熱可塑性樹脂層4に溝102を形成したものである。

【0035】

また、同様の工法を折り曲げ部ではなく半導体チップ6が接続される部分に設けることで、半導体チップ6を可撓性基板101に埋め込むキャビティ構造を形成することも可能となる。

【0036】

図9及び図10は本発明の第2実施形態を示す断面図である。図9は、図6又は図7に示すように、一方の面の熱可塑性樹脂層4及び配線3に溝を形成した可撓性基板102を使用して半導体パッケージを形成する過程を示す断面図、図10は組立後の半導体パッケージを示す断面図である。図9、10に示す可撓性基板101は、中心に配線3を配置し、その両面に絶縁層5を形成し、更にこの絶縁層5の両外側に夫々配線3を配置し、この配線3の各外側に熱可塑性樹脂層4を配置したものであり、配線が3層構造のものである。この可撓性基板101の下面の熱可塑性樹脂層4と、2層の配線3と、更に中間の配線3とが、半導体チップ6の下面の側方部分で除去され、この部分は熱可塑性樹脂層間絶縁膜埋込膜4と、配線3と、絶縁層5とのみが存在する薄層部102である。そこで、図10に矢印Y1、Y2で示すように、最上層の熱可塑性樹脂層4が半導体チップ6の側面及び上面に接触するように、可撓性基板101を折り返すことにより、半導体パッケージ301が組み立てられる。この半導体パッケージ301においては、その側面の部分の可撓性基板101が、半導体チップ6の下面の部分の半分の厚さを有する薄層部102であるので、半導体チップ6の側面のように曲げが強くなる部分でも、容易に曲げることができる。

【0037】

以下、この図9及び図10に示す半導体パッケージの製造方法の一例について説明する。例えば、半導体デバイスとして、寸法が異なるメモリ系LSIを3種、ロジック系LSIを1種用意する。例えば、メモリ系LSIは外形寸法5mmから10mm程度で、入出力端指数は約50ピンであり、ロジック系LSIは外形寸法約10mm、入出力端指数約400ピンである。LSIは例えば50 μ mに研磨加工され、各入出力端子には金バンプを形成する。

【0038】

可撓性基板としては、例えば、厚さが18 μ mの銅箔に、厚さが約20 μ mの

熱可塑性ポリイミドを表裏面に形成した基板を作製する。インナーバンプ及びアウターバンプを接続する箇所には、熱可塑性ポリイミドにレーザ加工で穴あけを行うと共に、通常の各種前処理を行った後に、バリアメタルとしてNiメッキ及びAuメッキを施す。

【0039】

メモリ系LSI用の可撓性基板は配線層を単層で形成するが、ロジック系LSI用の可撓性基板101は、図9及び10に示すように、配線層を3層で形成する。また、ロジック系LSI用の可撓性基板101には、半導体チップ6の外周に沿って可撓性基板101を折り曲げる際に折り曲げ部となる部分に溝を形成し、単層となる薄層部102を形成する。

【0040】

先ず、LSIを可撓性基板に搭載するが、搭載には通常のフリップチップマウンターを使用することができる。加温可能なステージ上に可撓性基板を真空吸着で固定し、カメラによる位置合せを行った上でLSIを搭載する。この搭載においては、Auバンプが可撓性基板の電極パッドに接合できるような圧力をかけると共に加熱を行う。この加熱は十分に熱可塑性ポリイミドの流動性が発現するような温度に設定しておくことで、Auバンプ部の接合と共に、接合部の封止を行う。

【0041】

次いで、可撓性基板101を半導体チップ6の外周部に沿って折り曲げ、半導体パッケージ301を形成する。可撓性基板を半導体チップ6の一辺に沿って折り曲げ、半導体チップ6の反対面に、十分に加温した治具で可撓性基板を押さえつけることで固定する。ロジック系LSI用の可撓性基板については、予め折り曲げ部分に薄層部102が形成されており、メモリ系LSIのパッケージと同様に折り曲げ形成することが可能となる。

【0042】

十分に可撓性基板を冷却した後に、フリップチップマウンターのステージからサンプルを取り出し、外周部に予め形成してあるアウターバンプ用の電極パッドにフラックスを塗布し、そこにはんだボール1a、1bを搭載する。はんだボー

ルとしては、例えば、S n P b 共晶組成の直径 0.3 mm のものを使用することができるが、S n P b 系以外の組成、例えば、S n - A g 系、S n - Z n 系等の P b フリーはんだ等を使用することもできる。はんだボールを搭載した後、リフロー炉に投入することにより、半導体パッケージにはんだバンプ（アウターバンプ）を形成する。リフロー炉に投入した後、半導体パッケージを洗浄、乾燥する。

【0043】

こうして作製した 4 枚の半導体パッケージを積層し、リフロー工程を経ることで、3 次元実装された積層半導体パッケージを得ることができる。こうして得られた半導体パッケージは、ロジック系 L S I の入出力端指数が 400 と多く、0.5 mm ピッチの完全エリアアレイで外部端子を形成する必要があるにもかかわらず、ほぼ L S I の外形寸法でパッケージ化することができる。また、4 枚の半導体パッケージを 3 次元的に実装することが可能となる。

【0044】

図 11 及び図 12 は本発明の第 3 実施形態を示す断面図である。この第 3 実施形態の半導体パッケージは、上記第 2 実施形態と同様の構造の半導体パッケージであるが、可撓性基板 101 がその半導体チップ 6 が接合される部分に 3 層配線構造を残し、この部分から外れる部分は全ての単層配線の薄層部 102 としている点と、可撓性基板 101 の両端部に設けられるハンダボール 1a が、3 層配線の最下層の配線ではなく、最上層の配線（単層）に直接接合されている点とが異なる。この可撓性基板 101 も、半導体チップ 6 の側面の折り曲げ部は、薄層部 102 となっているので、折り曲げ形成が容易である。

【0045】

次に、この構造の半導体パッケージの製造方法の一例について説明する。半導体デバイスとして、メモリ系 L S I を 1 種、ロジック系 L S I を 1 種用意する。メモリ系 L S I は外形寸法約 5 mm × 10 mm で、入出力端指数は約 50 ピンであり、ロジック系 L S I は外形寸法約 10 mm × 100 mm、入出力端指数が約 200 ピンである。各 L S I は 50 μ m に研磨加工され、また、各入出力端子には金バンプを形成する。

【0046】

可撓性基板としては、厚さが $18\mu\text{m}$ の銅箔に、厚さが約 $20\mu\text{m}$ で熱可塑性ポリイミドを表裏面に形成した基板を作製する。インナーバンプ及びアウターバンプを接続する箇所の熱可塑性ポリイミドには、レーザ加工で穴あけを行うと共に、通常の各種前処理を行った後に、バリアメタルとしてNiメッキ及びAuメッキを施す。

【0047】

メモリ系LSI用の可撓性基板は配線層を単層で形成するが、ロジック系LSI用の可撓性基板101は図11及び図12に示すように配線層を3層で形成する。また、ロジック系LSI用の可撓性基板101は、半導体チップ6が実装されるエリアのみに3層の配線を形成し、他の部分は単層とする。

【0048】

図9、10に示す実施形態と同様に、LSIを可撓性基板に搭載し、可撓性基板101を半導体チップ6の外周部に沿って折り曲げ、半導体パッケージ301を形成する。ロジック系LSI用の可撓性基板101は、折り曲げ部が単層となっており、メモリ系LSIと同様に折り曲げが容易である。

【0049】

また、アウターバンプを形成し、半導体パッケージの積層を行う。こうして得られた2枚の半導体パッケージは、ロジック系LSIの入出力端子数が200と多数であるが、十分LSI実装エリアにアウターバンプを配置し、配線を引き回すことが可能である。また、これらの半導体パッケージを積層することで、3次元パッケージを形成することが可能となる。

【0050】

次に、本発明の第4実施形態について説明する。図13乃至図15はこの第4実施形態の半導体パッケージを示す断面図である。この半導体パッケージは、半導体デバイスと、配線パターンの片面又は両面に熱可塑性の絶縁材料を有する可撓性基板からなり、前記可撓性基板に設けられた電極が前記半導体デバイスの所定の電極に接続されると共に前記熱可塑性の絶縁材料により封止され、かつ、前記可撓性基板が折り曲げられて、前記電極の形成面とその他の面に電極を設ける

ことを可能にする半導体パッケージであって、折り曲げられた可撓性基板同士が直接接着される部位を含むことを特徴としている。

【0051】

即ち、可撓性基板101を半導体チップ6の外周部に沿って折り曲げることにより半導体チップ6とほぼ同じ外形寸法の半導体パッケージ301を作製することが可能になるが、半導体チップ6の外形寸法よりも外側の所定の位置(X1、X2)で可撓性基板101を折り曲げ、可撓性基板101を熱可塑性樹脂層4同士で張り合わせている。

【0052】

このようなパッケージ構造とした場合、外形寸法が半導体チップ6よりも大きくなるというデメリットがあるが、半導体パッケージとしては薄型となると共に、半導体パッケージの下面に、多数の電極パッド8bを形成することが可能になる。即ち、本実施形態は、入出力ピン数が多い半導体デバイスに対応が可能になるといったメリットがある。また、このような半導体デバイスを複数パッケージ化して3次元的に実装する場合、半導体デバイスの外形寸法及び入出力ピン数の数量にかかわらず、実装することが可能になる。

【0053】

このような半導体パッケージは、半導体チップ6を可撓性基板101に接続した後、可撓性基板の所定の位置(X1、X2)を押さえて、加熱しながら、その外周部を矢印Y1、Y2の方向に折り曲げることで形成が可能である。また、予め、可撓性基板101に折り曲げ加工を施しておき、その後、半導体チップ6を搭載することも可能である。

【0054】

以上説明した半導体パッケージの構造は、それぞれ単独で用いてもよいが、1つの半導体パッケージに複数の特徴を盛り込んで作製してもよい。また、こうして作製された半導体パッケージを、図15に示すように、3次元的に実装して積層型半導体パッケージを形成できる。

【0055】

次に、この図13、14に示す半導体パッケージの製造方法の一例について説

明する。外形寸法が 5 mm×5 mm、入出力端子数が 1 0 0 の半導体チップ 6 を使用し、図 1 3 及び図 1 4 に示すような半導体パッケージを作製する。

【 0 0 5 6 】

可撓性基板 1 0 1 には半導体チップ 6 が接続されるパッドを熱可塑性樹脂形成面に形成し、反対面にアウターバンプ 1 用の電極パッド 8 a、8 b を形成する。電極パッド 8 a は、3 次元実装する場合の接続に用い、電極パッド 8 b はマザーボード 7 への実装用であるが、入出力端子数が多いため、電極パッド 8 b は半導体チップ 6 の実装エリアの外側まで配置した。

【 0 0 5 7 】

次に、半導体チップ 6 を、予め半導体チップ 6 に形成しておいた金バンプによるインナーバンプ 2 を介して可撓性基板 1 0 1 に接続する。この際、図 9 及び図 1 0 と同様の方法により、接続と封止を同時に実施することができる。次いで、可撓性基板 1 0 1 を治具に固定する。治具は可撓性基板 1 0 1 の所定の折り曲げ部 X 1 と X 2 に挟まれた部分のみを固定し、その外周部は固定しない。固定されない X 1 及び X 2 の外周部を加熱可能な別の治具で矢印 Y 1、Y 2 の方向に折り曲げ、可撓性基板 1 0 1 自身に押圧し、加熱により貼り付けを行う。

【 0 0 5 8 】

折り曲げ部 X 1、X 2 は予め半導体チップ 6 と重ならないような位置に設計しており、図 1 4 に示すように、半導体チップ 6 が可撓性基板 1 0 1 に囲まれる形状とすることができる。また、可撓性基板 1 0 1 に用いた配線層は、例えば、1 8 μ m の銅箔、樹脂層の厚みは 2 0 μ m とする。半導体チップ 6 を約 6 0 μ m の厚さに研磨等により薄化しておくことにより、ほぼ可撓性基板 1 0 1 を折り曲げたときの厚さに収めることが可能となる。

【 0 0 5 9 】

図 1 5 に示すように、こうして得られた半導体パッケージ 3 0 1 d は、外形寸法の大きな半導体チップ 6 a、6 b、6 c を使用して、その外形寸法に合わせて作製した半導体パッケージ 3 0 1 a、3 0 1 b、3 0 1 c と 3 次元実装することが可能であり、積層半導体パッケージ 4 0 1 を構成することができる。

【 0 0 6 0 】

図16及び図17は本発明の第5実施形態に係る半導体パッケージを示す断面図である。この図16及び図17を参照して本実施形態の半導体パッケージの製造方法について説明する。多層配線化した可撓性基板101に図16に示すような薄層部102とキャビティ103を形成する。可撓性基板101の配線層は、例えば、約20 μ mの銅箔で形成し、各絶縁性樹脂層5及び熱可塑性樹脂層4は約20 μ mの厚さで形成する。薄層部102は配線が単層となるようにしておき、キャビティ103は実装する半導体チップ6の外形寸法に合わせて設計する。

【0061】

厚さを約60 μ mに調整した半導体チップ6を、実施例1と同様の方法にて可撓性基板101の所定の位置に接続し、接着した後、薄層部102の中央X1、X2において、矢印Y1、Y2の方向に可撓性基板101を折り曲げる。折り曲げ時には加熱可能な治具で可撓性基板101を押印し、熱可塑性樹脂4により可撓性基板101を可撓性基板101及び半導体チップ6に接着させる。

【0062】

こうして得られた半導体パッケージ301は、パッケージの両面に多数の電極パッド8a、8bを配置し、電氣的に引き回すことが可能であり、半導体チップ6の入出力端子数に拘わらず、半導体パッケージ301の作製が可能となる。また、これらの半導体パッケージを3次元的に実装する場合、上位並びに下位に実装する半導体パッケージに対しても接続用のバンプを多数形成することが可能であり、かつ、半導体デバイスの外形寸法によらずにパッケージ外形寸法を設定することが可能となり、設計自由度があるパッケージを実現することが可能となる。

【0063】

次に、図18を参照して、本発明の第6実施形態に係る半導体パッケージについて説明する。可撓性基板101には、折り曲げ部に薄層部102が、半導体チップ6aの実装部にキャビティ103が形成されている。可撓性基板101には2つの半導体デバイスが実装されているが、半導体チップ6aはキャビティ103に実装される。これにより、もう一つの半導体チップ6bは可撓性基板101の同一面上に実装が可能なり、薄層部102で折り曲げられ、半導体チップ6b

に沿って接着されることにより、半導体パッケージ 301 が形成される。

【0064】

このようにして得られた半導体パッケージ 301 は、多層配線化されたエリアにより多数の電極パッド 8a、8b の形成が可能になり、既電極パッドに形成されるアウターバンプ 1a、1b を介して 3 次元実装が可能となる。

【0065】

図 19 は本発明の第 7 実施形態に係る積層半導体パッケージを示す断面図である。半導体パッケージ 301e は図 18 に示す複数の半導体デバイスを含む半導体パッケージであり、この半導体パッケージ 301e の上に、図 17 に示す半導体パッケージを搭載し、更にその上に、図 14 に示す半導体パッケージを搭載し、更にその上に、図 1 に示す半導体パッケージを 2 段搭載したものである。この 3 次元実装の半導体パッケージは、マザーボード 7 上に実装されている。

【0066】

このように本発明の半導体パッケージを組み合わせることにより、半導体デバイスの入出力端子数及び外形寸法に寄らず、3 次元実装可能な半導体パッケージを作製することが可能となる。

【0067】

【発明の効果】

以上詳述したように、本発明の半導体パッケージ及び積層半導体パッケージによれば、複数の半導体デバイスを薄型化したパッケージに収めることが可能となると共に、半導体デバイスの入出力端子数及び外形寸法等からの制約を受けることなく積層して 3 次元パッケージ化することが可能になる。また、本発明によれば、パッケージサイズ及びアウターバンプ位置を標準化することが可能になる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態に係る半導体パッケージを示す断面図である。

【図 2】

可撓性基板の製造工程を示す斜視図である。

【図 3】

同じく、可撓性基板の製造工程を示す断面図である。

【図 4】

同じく、可撓性基板の製造工程を示す断面図である。

【図 5】

同じく、可撓性基板の製造工程を示す断面図である。

【図 6】

可撓性基板を示す断面図である。

【図 7】

同じく、可撓性基板を示す断面図である。

【図 8】

同じく、可撓性基板を示す断面図である。

【図 9】

本発明の第 2 実施形態に係る半導体パッケージの組み立て工程を示す断面図である。

【図 10】

本発明の第 2 実施形態に係る半導体パッケージを示す断面図である。

【図 11】

本発明の第 3 実施形態に係る半導体パッケージの組み立て工程を示す断面図である。

【図 12】

本発明の第 3 実施形態に係る半導体パッケージを示す断面図である。

【図 13】

本発明の第 4 実施形態に係る半導体パッケージの組み立て工程を示す断面図である。

【図 14】

本発明の第 4 実施形態に係る半導体パッケージを示す断面図である。

【図 15】

この半導体パッケージを積層した積層半導体パッケージを示す断面図である。

【図 16】

本発明の第5実施形態に係る半導体パッケージの組み立て工程を示す断面図である。

【図17】

本発明の第5実施形態に係る半導体パッケージを示す断面図である。

【図18】

本発明の第6実施形態に係る半導体パッケージの組み立て工程を示す断面図である。

【図19】

本発明の第6実施形態に係る半導体パッケージを使用して積層した積層半導体パッケージを示す断面図である。

【図20】

半導体パッケージを示す断面図である。

【図21】

この半導体パッケージを積層した積層型半導体パッケージを示す断面図である。

【図22】

従来の半導体パッケージを示す断面図である。

【図23】

この従来の半導体パッケージを積層した状態を示す断面図である。

【図24】

この積層型半導体パッケージをマザーボード基板上に実装した状態を示す断面図である。

【図25】

アンダーフィル樹脂を充填した状態を示す断面図である。

【図26】

従来の他の半導体パッケージを示す断面図である。

【図27】

この従来の半導体パッケージを積層した状態を示す断面図である。

【図28】

この積層型半導体パッケージをマザーボード基板上に実装した状態を示す断面図である。

【図 29】

絶縁性樹脂を充填した状態を示す断面図である。

【符号の説明】

- 1：アウターバンプ
- 2：インナーバンプ
- 3：配線
- 4：熱可塑性樹脂層
- 5：絶縁性樹脂層
- 6：チップ
- 7：マザーボード基板
- 8：電極パッド
- 9：ヴィア
- 10：金属箔
- 11：配線パターン
- 12：アウターパッド
- 13：インナーパッド
- 14：絶縁樹脂シート
- 15：打ち抜き部
- 16：パターン形成シート
- 17：切断線
- 101：可撓性基板
- 102：薄層部
- 103：キャビティ
- 301：半導体パッケージ
- 401：積層パッケージ
- 501：半導体チップ
- 502：インターポーザ基板

5 0 3 : 導電体

5 0 4 : 電極パッド

5 0 5 : 配線パターン

5 0 6 : フレキシブルインターポーザ基板

5 0 7 : はんだバンプ

5 0 8 : アンダーフィル樹脂

5 0 9 : 絶縁性樹脂

5 1 0 : 絶縁フィルム

5 1 1 : マザーボード基板

5 1 2 : 熱可塑性絶縁樹脂層

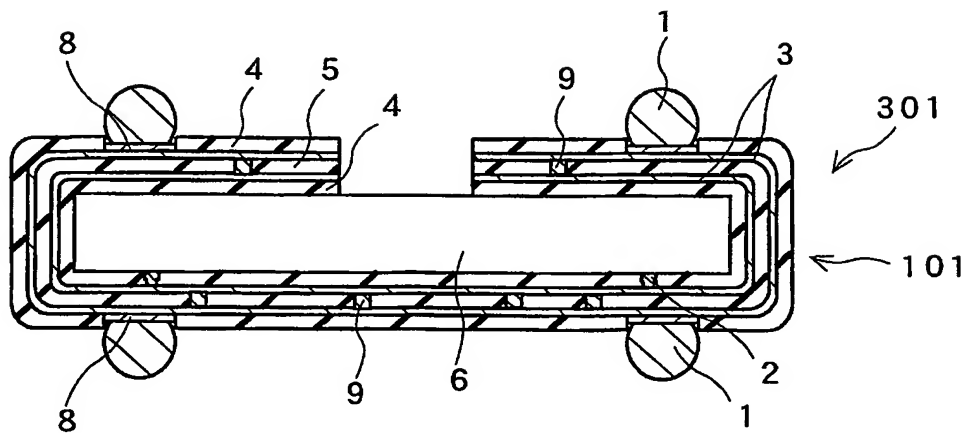
X : 折り曲げ部

Y : 折り曲げ方向

【書類名】

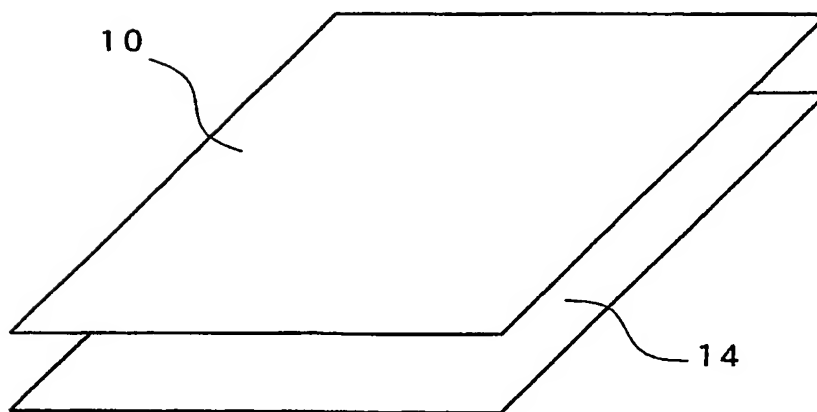
図面

【図 1】



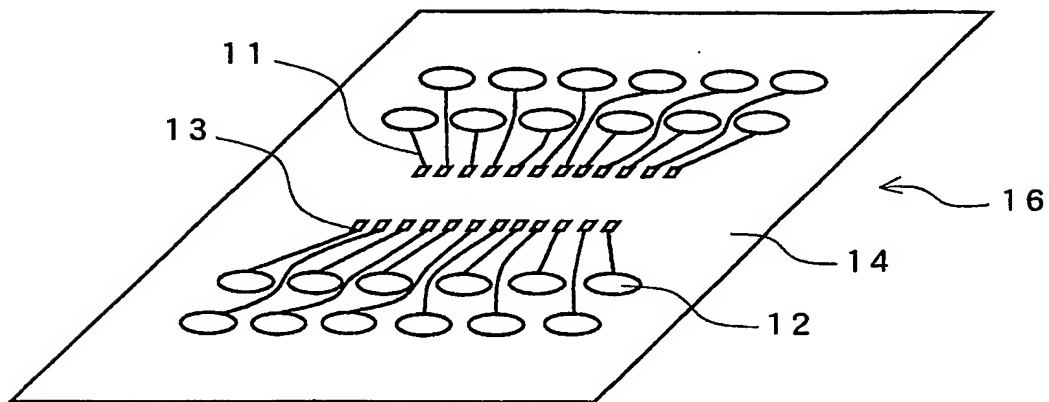
- 1 : アウターバンプ
- 2 : インナーバンプ
- 3 : 配線
- 4 : 熱可塑性樹脂層
- 5 : 絶縁性樹脂層
- 6 : チップ
- 8 : 電極パッド
- 9 : ヴィア
- 101 : 可撓性基板
- 301 : 半導体パッケージ

【図 2】



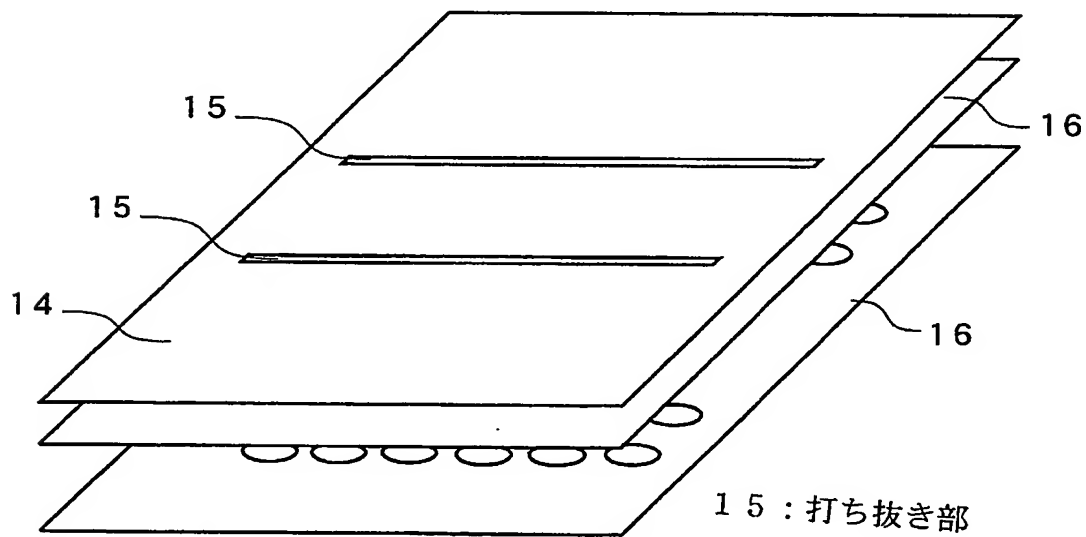
- 10 : 金属箔
- 14 : 絶縁樹脂シート

【図 3】



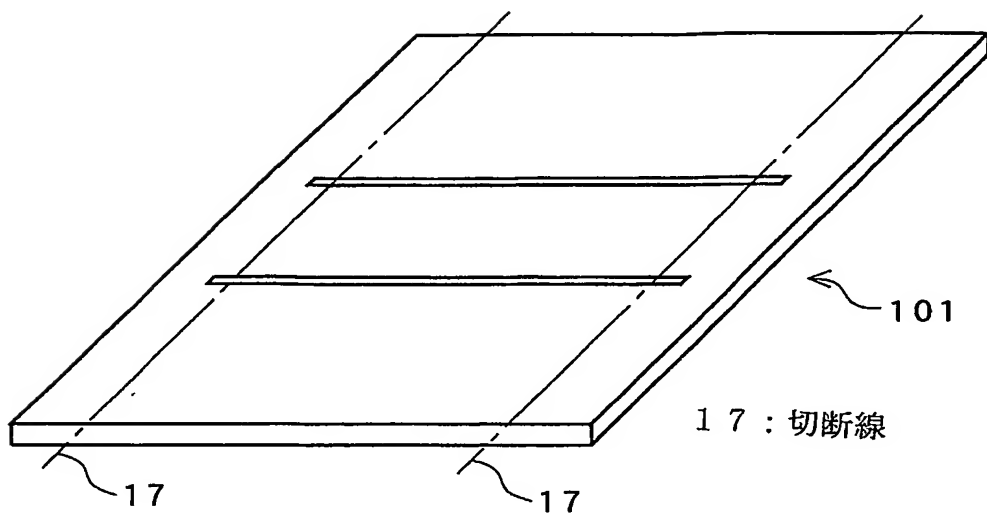
- 11 : 配線パターン
- 12 : アウターパッド
- 13 : インナーパッド
- 16 : パターン形成シート

【図 4】

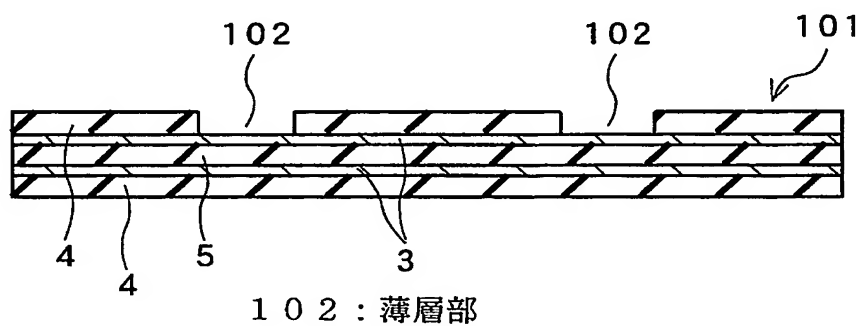


15 : 打ち抜き部

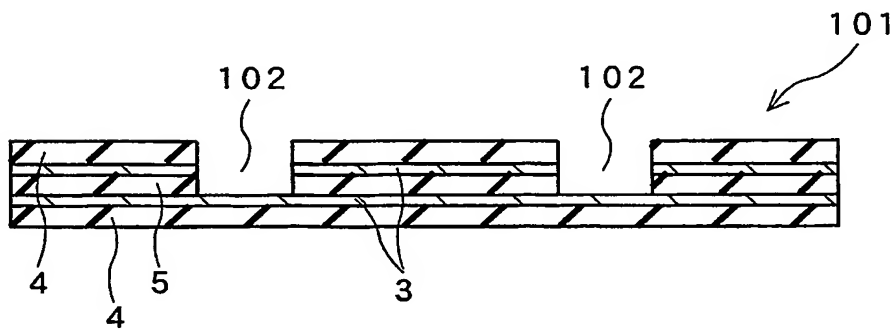
【図 5】



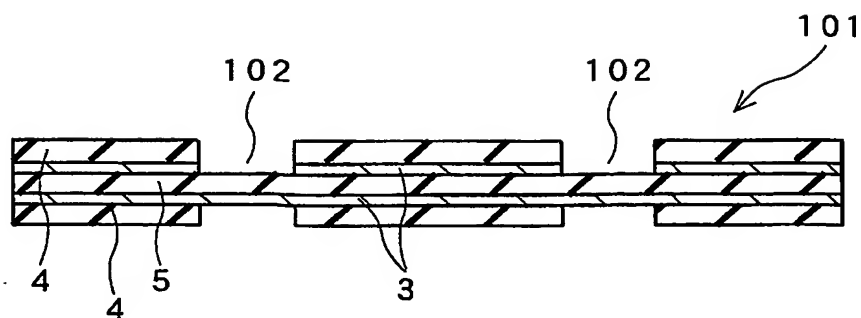
【図 6】



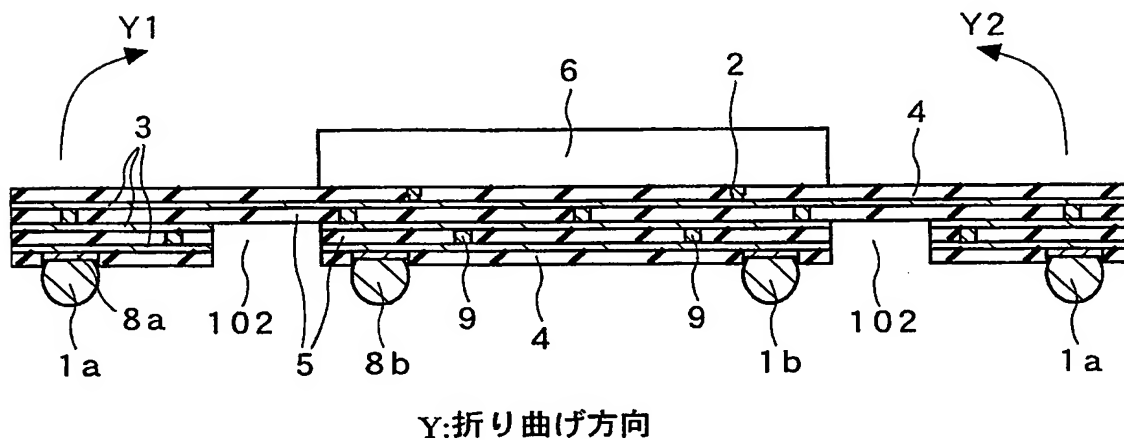
【図 7】



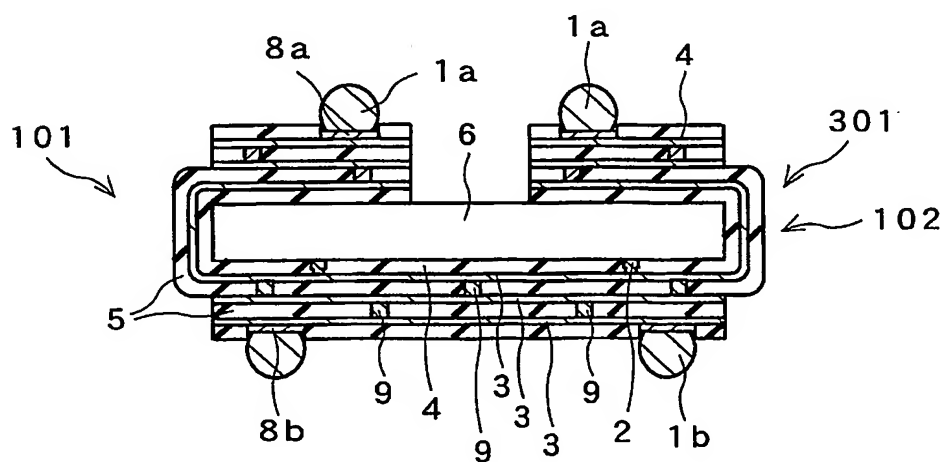
【図 8】



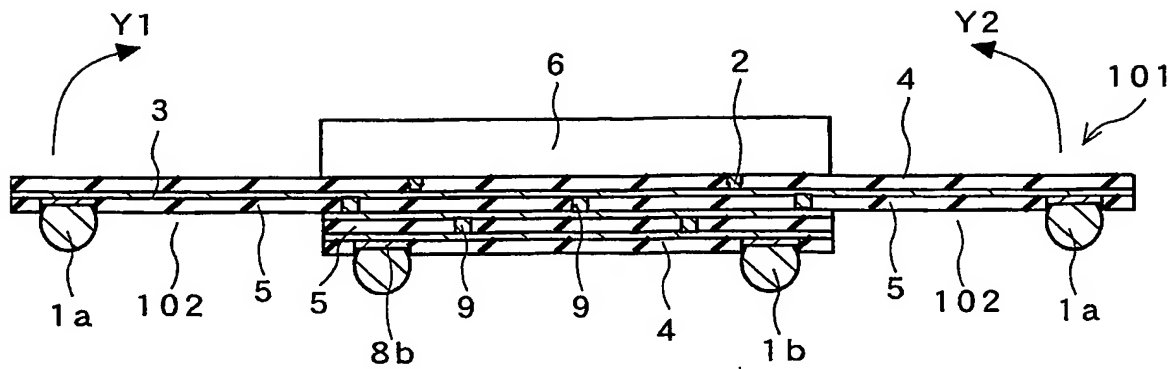
【図 9】



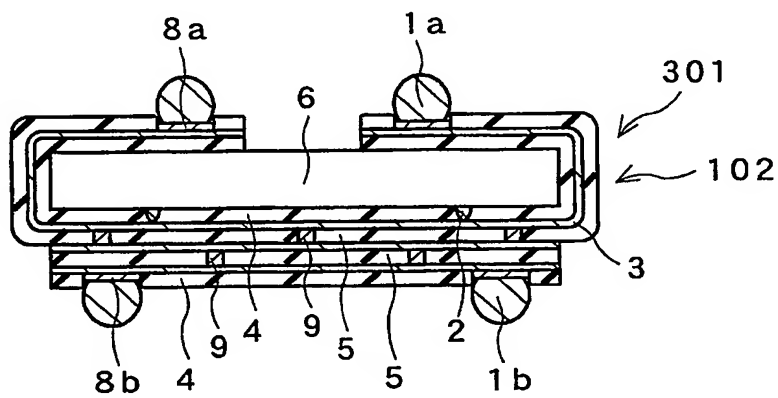
【図 10】



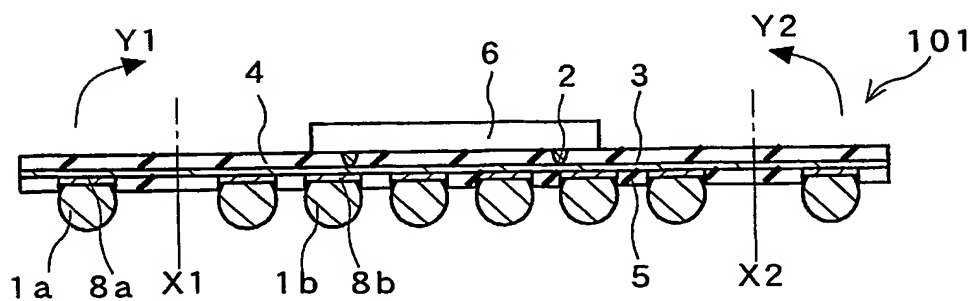
【図 1 1】



【図 1 2】

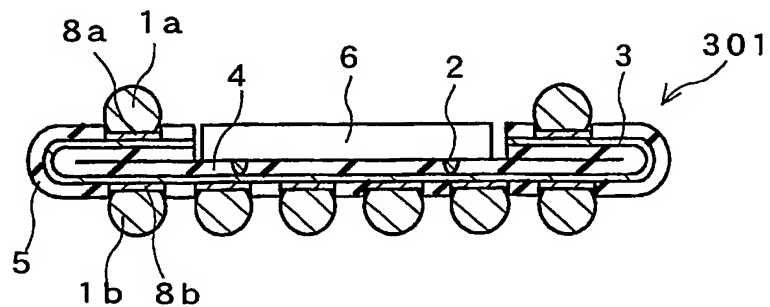


【図 1 3】

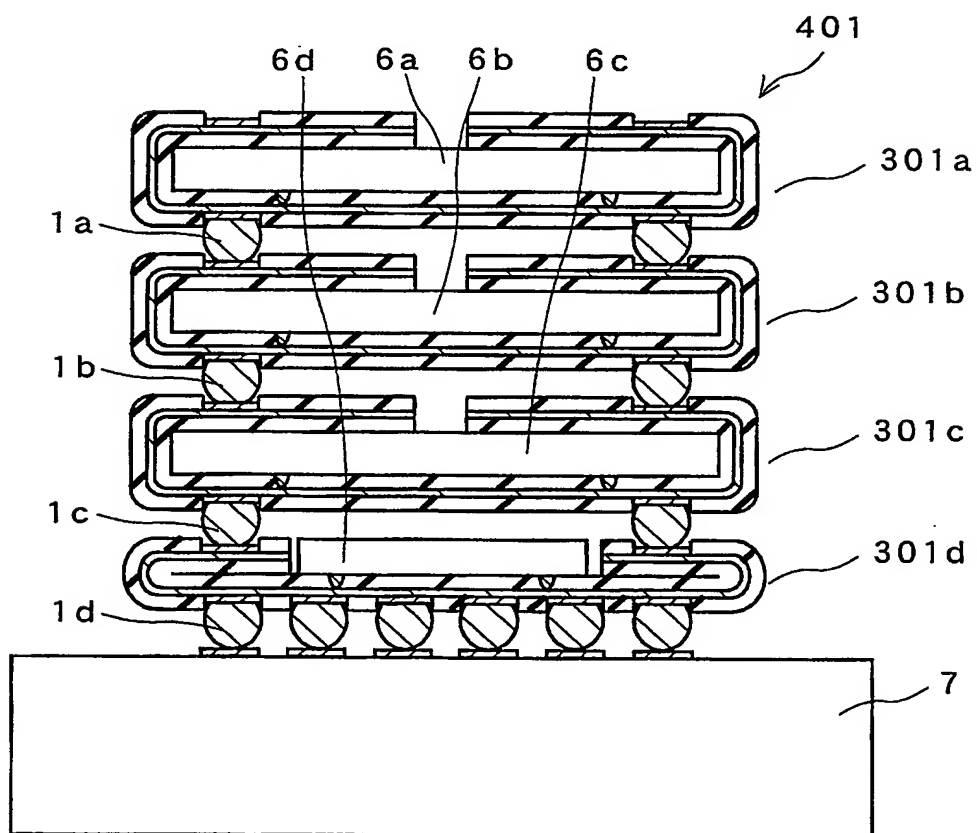


X : 折り曲げ部

【図 14】

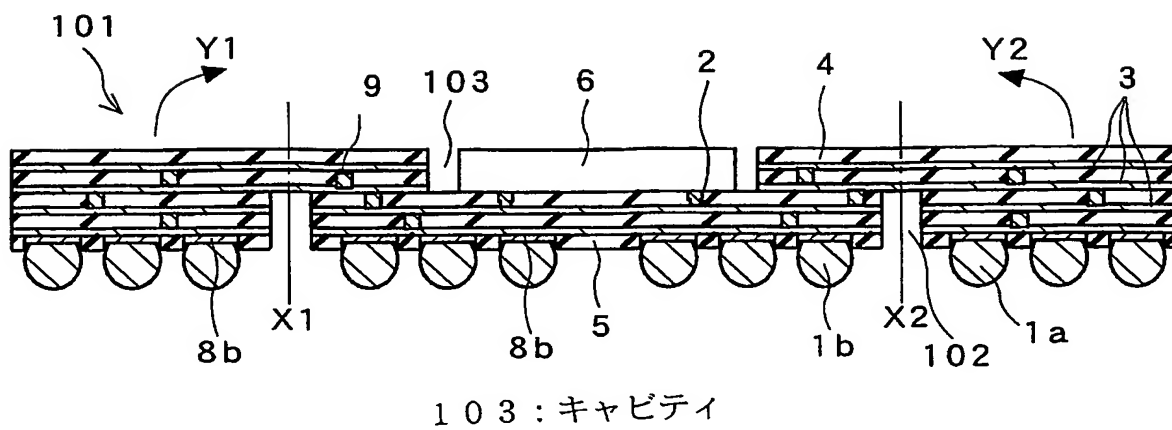


【図 15】

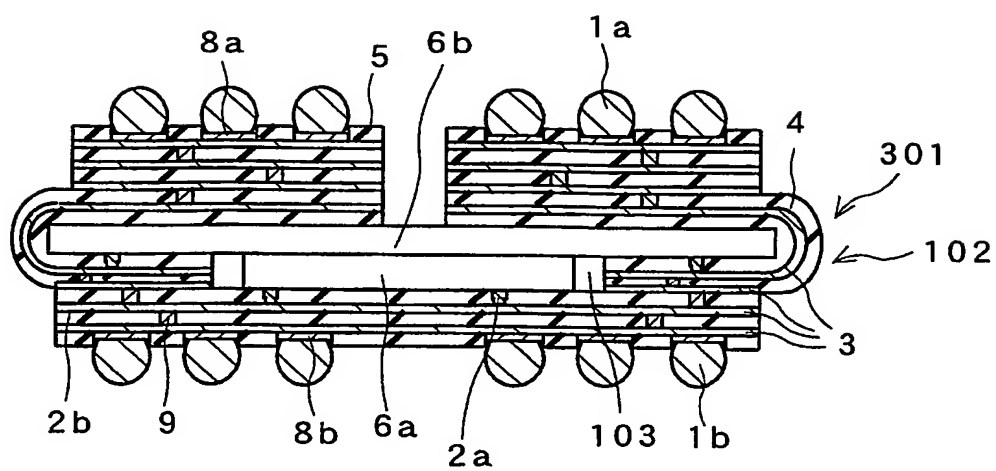


7 : マザーボード基板
401 : 積層パッケージ

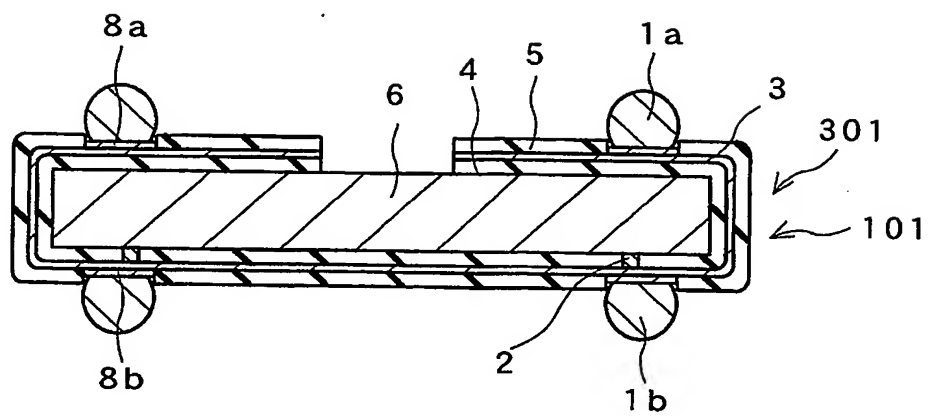
【図 16】



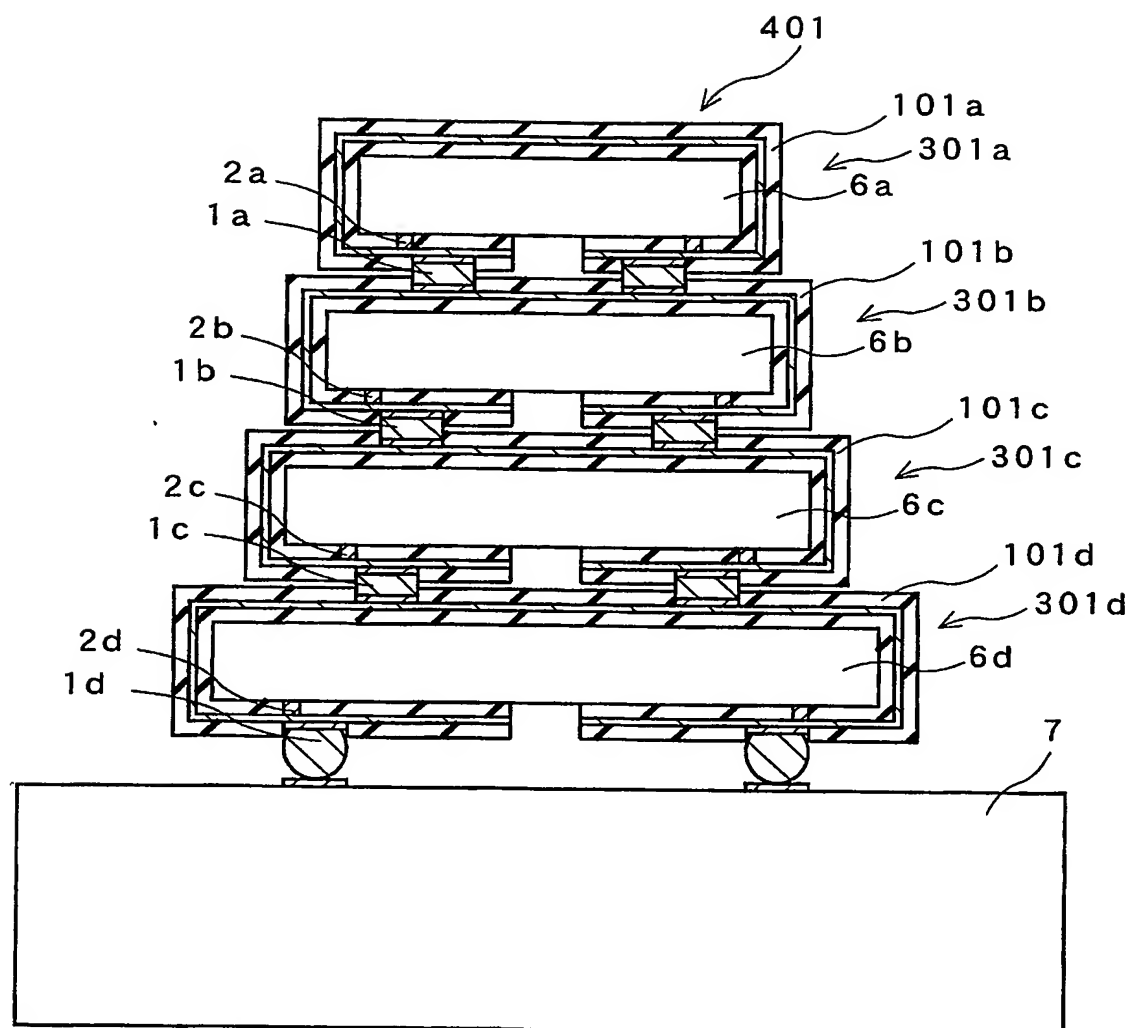
【図 18】



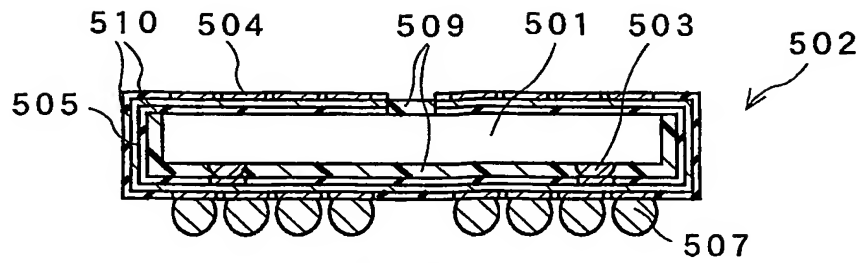
【図 20】



【図 21】

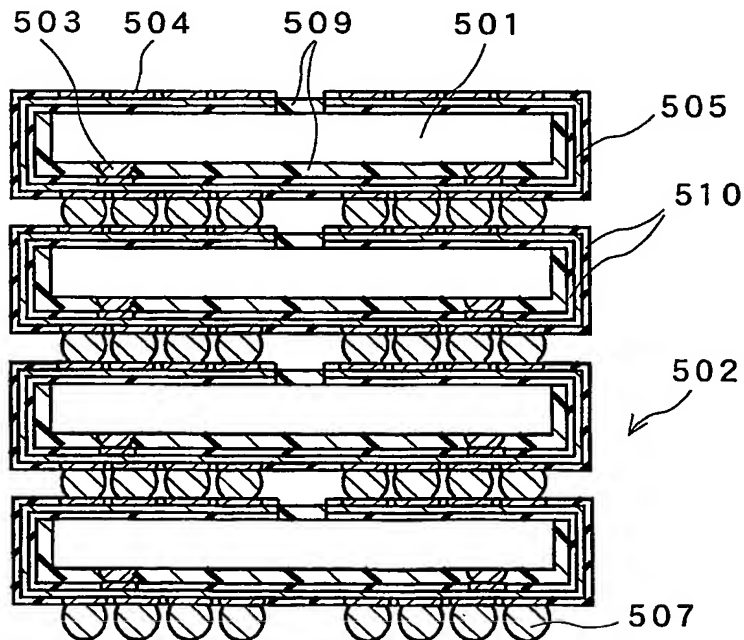


【図 2 2】

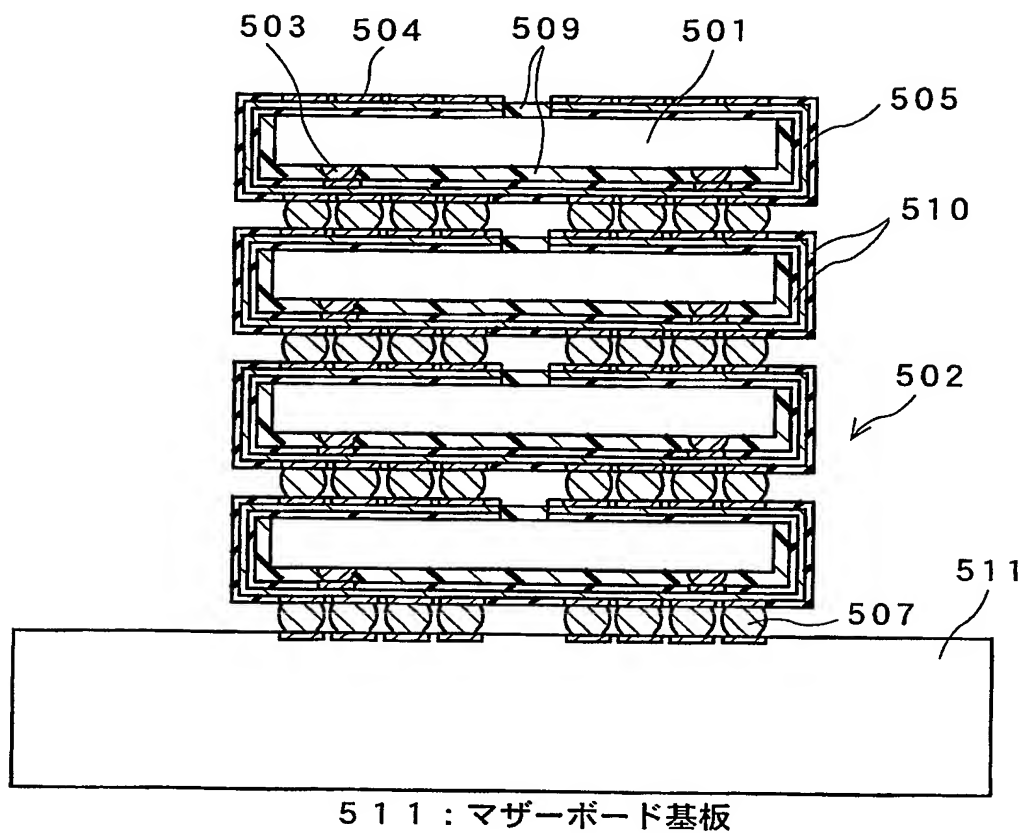


- 501: 半導体チップ
- 502: インターポザ基板
- 503: 導電体
- 504: 電極パッド
- 505: 配線パターン
- 507: はんだバンプ
- 509: 絶縁性樹脂
- 510: 絶縁フィルム

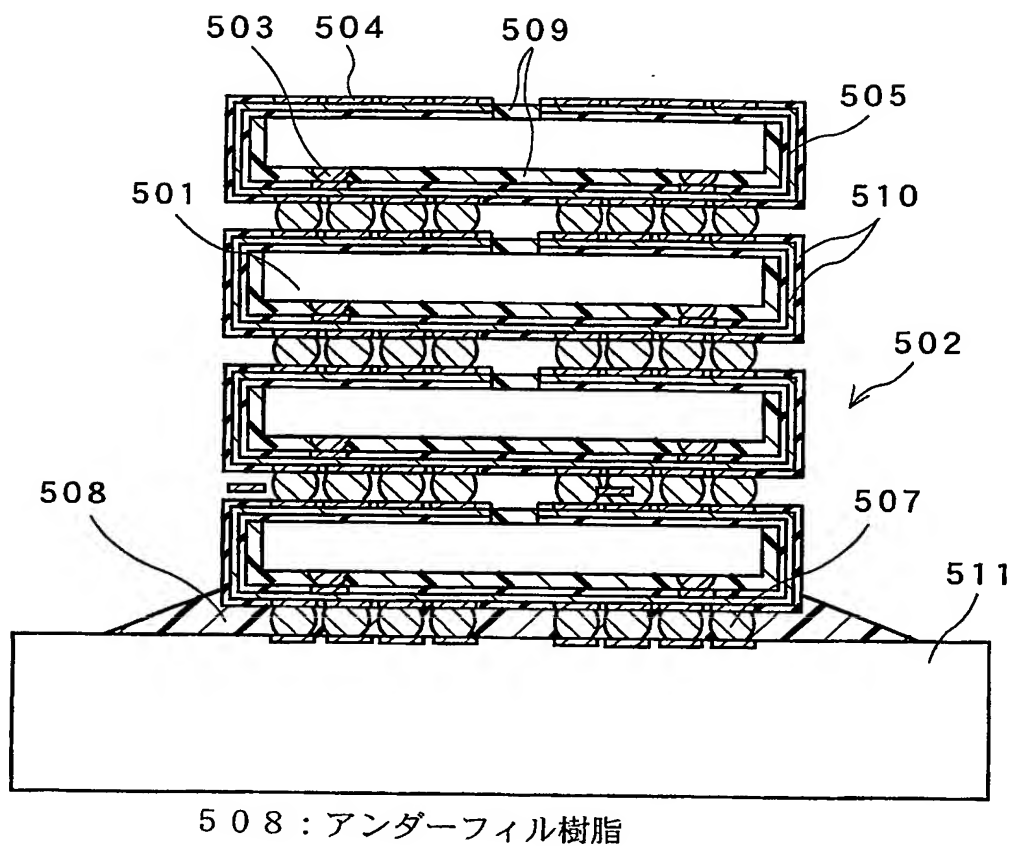
【図 2 3】



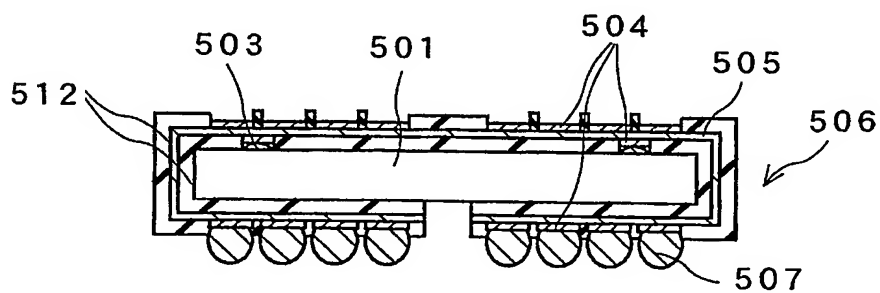
【図 24】



【図 25】



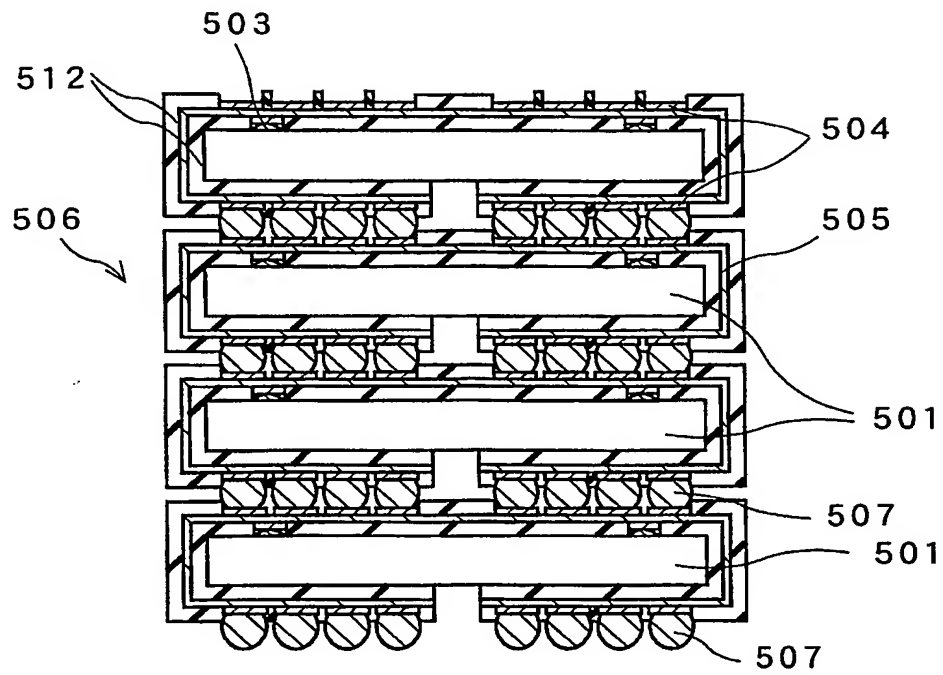
【図 26】



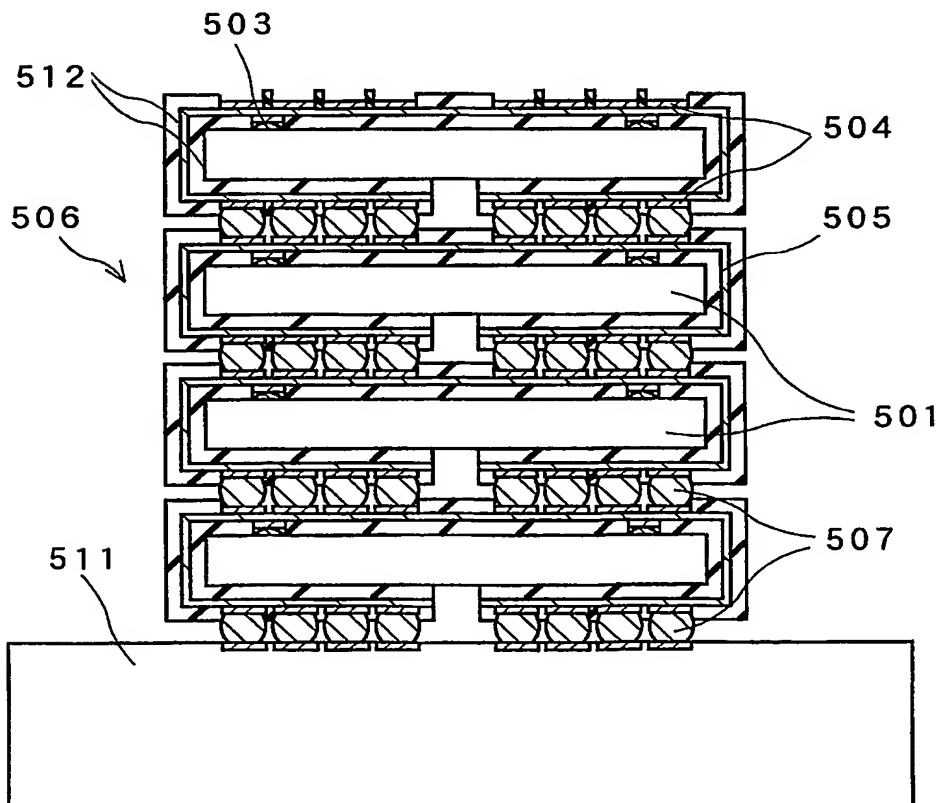
506 : フレキシブルインターポザ基板

512 : 熱可塑性絶縁樹脂層

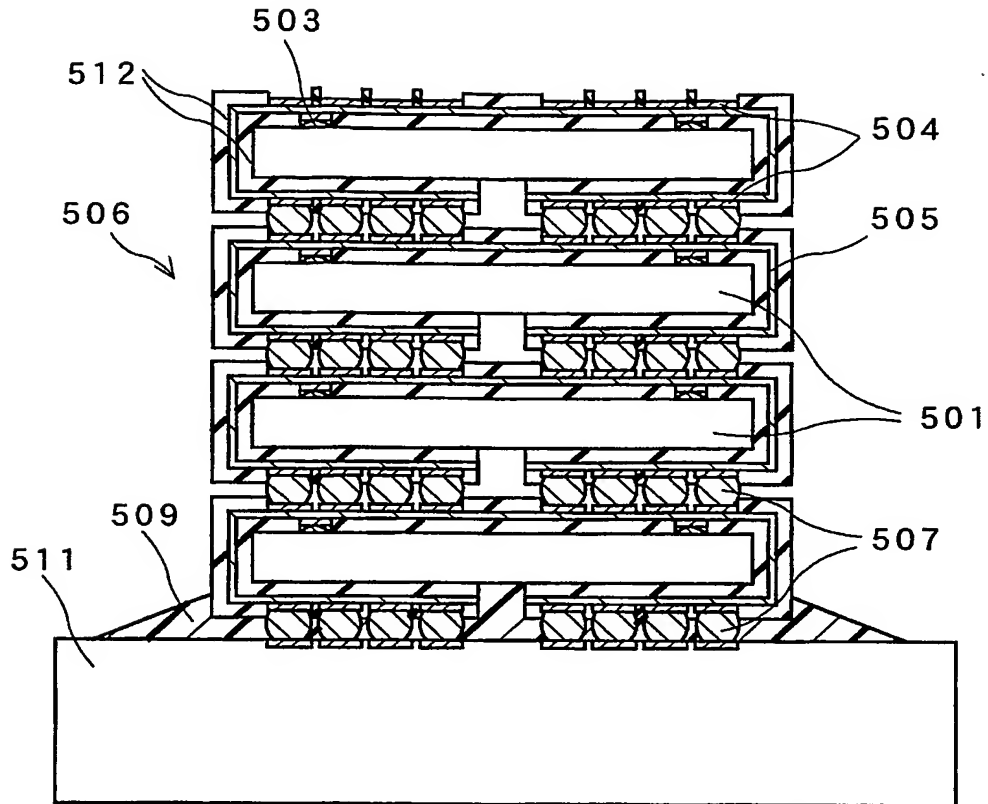
【図 27】



【図 28】



【図 29】



【書類名】 要約書**【要約】**

【課題】 半導体パッケージの外形寸法及び再配線の設計自由度を半導体デバイスに依存しないものとし、3次元実装化を容易にする半導体パッケージ及び3次元積層型半導体パッケージを提供する。

【解決手段】 半導体デバイスチップ6と、熱可塑性の絶縁樹脂層4を有する可撓性基板101からなる。可撓性基板101に設けられた電極が半導体デバイスチップ6の所定の電極に接続されると共に、熱可塑性絶縁樹脂層4により封止され、かつ、前記可撓性基板101が折り曲げられて、電極の形成面とその他の面に電極が設けられる。この可撓性基板101は配線3が多層化され、可撓性基板101の折り曲げ部分又は折り曲げ部分を含む領域に溝を形成するか、又は配線層数が異なる薄層部を形成し、半導体デバイス実装部にキャビティを形成する。可撓性基板101を所定の位置で折り曲げて半導体デバイスの外形寸法に寄らない半導体パッケージを形成する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 3 5 8 5 5
受付番号	5 0 2 0 1 7 4 8 0 9 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 1 月 2 1 日

< 認定情報・付加情報 >

【提出日】 平成14年11月20日

次頁無

特願 2 0 0 2 - 3 3 5 8 5 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 4 2 3 7]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 9 日
新規登録

住 所
氏 名

東京都港区芝五丁目 7 番 1 号
日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.